

## ⑫ 公開特許公報(A)

平2-218159

⑮ Int. Cl.<sup>3</sup>H 01 L 27/12  
21/76  
27/00

識別記号

3 0 1

庁内整理番号

7514-5F  
7638-5F  
7638-5F  
7514-5F

⑬ 公開 平成2年(1990)8月30日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体基板の製造方法

⑰ 特 願 平1-38046

⑱ 出 願 平1(1989)2月17日

⑲ 発 明 者 クライソン トロンナ  
ムチャイ  
⑳ 出 願 人 日産自動車株式会社  
㉑ 代 理 人 弁理士 和田 成則神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社  
内  
神奈川県横浜市神奈川区宝町2番地

## 明 細 書

## 1. 発明の名称

半導体基板の製造方法

## 2. 特許請求の範囲

1. Si基板のSiO<sub>2</sub>膜形成領域に酸素イオンを注入し、窒素雰囲気中で加熱処理することにより半導体基板を製造する半導体基板の製造方法において、

上記Si基板の酸素イオン注入領域以外の領域にはSi<sup>+</sup>イオンを注入し、基板製造時酸素イオン注入領域とSi<sup>+</sup>イオン注入領域が平滑化されることを特徴とする半導体基板の製造方法。

## 3. 発明の詳細な説明

《産業上の利用分野》

この発明は、基板表面の平滑化に改良の加えられた半導体基板の製造方法に関する。

《従来の技術》

従来の半導体基板の製造方法としては、SIMOX (Separation by Implanted Oxygen) 法と呼ばれるものが知られている。

今これを第2図に基いて説明すると、まず同図(A)に示す如く、Si基板1中に酸素イオン(O<sup>+</sup>)を注入密度10<sup>18</sup>/cm<sup>2</sup>、加速電圧180 keV程度で注入し、さらに、1200℃の窒素雰囲気中で約1時間熱処理を行う。これにより、注入された酸素がSi基板1中のSiと結合し、同図(B)に示す如く、Si基板1内の酸素注入側にはSiO<sub>2</sub>膜2が形成されるとともに、SiO<sub>2</sub>膜2上にはSi基板1中の酸化されなかったSiによりSOI膜3が形成される。なお、ここで上記SOI膜3の膜厚が不足の場合には、良く知られているようにSiCl<sub>4</sub>の水素還元法等によりエピタキシャル成長法を用いてSOI膜3の膜厚増加処理が行われる。

一方、第3図および第4図には、上記SIMOX法を用いて半導体装置が製造される場合の例が示されている。

第3図(A)は、上記の如き半導体装置10の平面図であるが、中央部分には上記SIMOX法によって方形のSOI部4が形成され、周囲には

Si基板1によりバルクSi部5が設けられている。同図(B)は同図(A)のX-X'線断面図であるが、SOI部4に形成されたSiO<sub>2</sub>膜2上には、MOSトランジスタT<sub>1</sub>、T<sub>2</sub>によってロジック回路6が形成されているとともに、バルクSi部5上にはトランジスタT<sub>3</sub>、T<sub>4</sub>によって入出力回路7が形成されている。

ところで、この半導体装置では、SOI部4に形成されているロジック回路6のMOSトランジスタT<sub>1</sub>、T<sub>2</sub>間はSiO<sub>2</sub>膜2によって絶縁分離されているためラッチアップしないとともに、寄生容量の低減が図られるのでロジック回路6は高速に動作できるという長所がある。

一方、入出力回路7はロジック回路6の如き動作の高速性は必要とされない代わりに大電流を流す必要がある。従って、この例では、入出力回路7は放熱性の悪いSOI部4よりもバルクSi部5に設けられている。

第4図にはSIMOX法によって製造される半導体装置10の他の例が示されており、この例に

あつては、局所にSOI部4を形成するとともに、SOI部4以外のバルクSi部5には縦型パワーMOSFET8が形成されている。

また、SOI部4には、縦型パワーMOSFET8を制御するためのロジック回路60が、MOSトランジスタT<sub>5</sub>、T<sub>6</sub>によって形成されている。

このように、この例では、縦型パワーMOSFET8がバルクSi部5に形成されているので放熱性が良く、電流容量が大きい。また、ロジック回路60はSOI部4に形成されているので、ラッチアップしないとともに、縦型パワーMOSFET8から容易に絶縁分離でき、しかも構造が簡単であるという長所がある。

次に、第5図には上記の如き半導体装置10を製造するためのSIMOX法による半導体基板の製造方法が示されている。

この方法では、まず、(A)図に示す如く、ロジック回路を形成するSOI部4の形成領域だけに酸素イオン注入を行う。この場合、酸素イオン

が注入された領域の体積は、(B)図に示す如く増大する。

次に、熱処理により酸素とSiを結合させて(C)図に示す如きSiO<sub>2</sub>膜2を形成する。このとき、SiO<sub>2</sub>膜2上にはSOI膜3が形成される。

ところで、この場合、SiO<sub>2</sub>の密度はSiより小さいので、(C)図に示す如く、Si基板1中にSiO<sub>2</sub>膜2が形成されると、SiO<sub>2</sub>膜2の体積が増加して、SOI膜3の形成と相俟って(B)図に示される状態よりさらにSiO<sub>2</sub>膜2の形成部分の膜厚は増大する。

《発明が解決しようとする課題》

しかしながら、上記の如き半導体基板の製造方法にあつては、Si基板1のSOI部4の形成領域だけに酸素イオンを注入してSiO<sub>2</sub>膜2を形成するので、SiO<sub>2</sub>膜2の形成部分だけの膜厚が増大し、第5図(C)に示す如く、基板表面でSiO<sub>2</sub>膜2の形成部分(SOI部4)と非形成部分(バルクSi部5)の境界で段差9が発生し、

後工程において例えばフォトリソグラフィーを行おうとすると、どちらかの表面としかビントが合わず、以後の回路形成が困難になるという問題点があった。

また、SiO<sub>2</sub>膜1が形成されている部分とそうでない部分の境界領域である段差9の発生部分では、基板製造時SiO<sub>2</sub>膜2の体積膨脹の影響を受けて大きな応力が発生し、このため基板内部の広い範囲にわたって結晶欠陥等が発生し、トランジスタを形成するのに不適ないいわゆるデッドスペースが増大するとともに、チップ面積増大の原因となるという問題点があった。

《発明の目的》

この発明は、上記課題に鑑み、基板表面の平滑化を図ることにより、以後の回路形成プロセスを簡易化できる、かつ、デッドスペースの少ない、チップ面積を小さくすることのできる半導体基板の製造方法を提供することを目的とする。

《問題点を解決するための手段》

この発明は、上記目的を達成するために、Si

基板の $\text{SiO}_2$ 膜形成領域に酸素イオンを注入し、窒素雰囲気中で加熱処理することにより半導体基板を製造する半導体基板の製造方法において、

上記 $\text{Si}$ 基板の酸素イオン注入領域以外の領域には $\text{Si}$ イオンを注入し、基板製造時酸素イオン注入領域と $\text{Si}$ イオン注入領域が平滑化されることを特徴とする。

#### 《実施例の説明》

以下、本発明の好適な実施例を図面に基いて説明する。

この実施例においても半導体基板は上記従来例同様 $\text{SiMOX}$ 法を用いて製造されるが、基板上に従来例の如き段差が発生しないよう、以下のよう構成されている。なお、説明の便宜上、上記従来例の説明に用いたものと同一構成部材には同一符号を付して説明する。

この方法では、まず、同図(A)に示す如く、 $\text{Si}$ 基板1の $\text{SOI}$ 部4の形成領域に酸素イオン( $\text{O}^+$ )を注入する。これにより、 $\text{Si}$ 基板1中の酸素注入部分は同図(B)に示す如く膨脹する。

が、熱処理の条件等によっては適宜両イオンの注入比率を変えると良い。

また、この実施例では、酸素イオンを注入した後に $\text{Si}$ イオンを注入するようにしたが、イオン注入の順序を逆にして、 $\text{Si}$ イオンを注入した後に酸素イオンを注入しても良い。

さらに、酸素イオンと $\text{Si}$ イオンのイオン注入を少量ずつ何回かに分けて交互に行っても良い。

本実施例では、上記の如く、酸素イオンの注入されない、従って $\text{SiO}_2$ 膜2の形成されない部分には $\text{Si}$ イオンを注入し、これによって $\text{SiO}_2$ 膜2形成部分と同厚の $\text{Si}$ 結晶層20を設けるようにしたので、両者の境界部分における段差はほとんどない。このため、例えば後工程におけるフォトリソグラフィ処理においても基板表面の高さが均一となり、従来に比して簡易に回路形成ができることになる。

また、従来の如くに $\text{SiO}_2$ 膜形成部分だけが体積膨脹する場合に比べて基板内に発生する応力が小さいので、結晶欠陥等が集中する境界領域を

次に、(B)図に示す如く、バルク $\text{Si}$ 部5の形成される残余の領域に $\text{Si}$ イオン( $\text{Si}^+$ )を注入する。このときに注入する $\text{Si}$ イオンの量は、できあがった半導体基板の表面に段差が生じないだけの所定量とする。

最後に、熱処理を行い、酸素イオン注入側では(C)図に示す如く $\text{SiO}_2$ 膜2および $\text{SOI}$ 膜3が形成されるとともに、 $\text{Si}$ イオン注入側では、注入した $\text{Si}$ イオンが結晶化され、 $\text{Si}$ 結晶層20が形成される。

ところで、この場合、 $\text{Si}$ イオン注入側で形成される $\text{Si}$ 結晶層20の厚さは、酸素イオン注入側で形成される $\text{SiO}_2$ 膜2と $\text{SOI}$ 膜3を加えたものとほぼ等しくなるよう構成されている。

このため、両者の境界領域で形成される段差90は、従来例と比し著しく小さい((C)図参照)。

なお、上記の如く、酸素イオン注入側と $\text{Si}$ イオン注入側の段差をなくすには、注入される酸素イオンの量と $\text{Si}$ イオンの量を同量にすると良い

最少限にすることができる。さらに、トランジスタを形成するのに適しない上記境界領域部分が小さいので、基板上のいわゆるデッドスペース部分を最少限にすることができ、半導体装置を形成する場合のチップ面積を小さくできる。また、半導体基板製造時の基板内応力が小さいので、境界付近に設けられるトランジスタの信頼性も向上する。

#### 《発明の効果》

本発明に係わる半導体基板の製造方法は、上記の如く、 $\text{Si}$ 基板の酸素イオン注入領域以外の領域には $\text{Si}$ イオンを注入し、基板製造時酸素イオン注入領域と $\text{Si}$ イオン注入領域が平滑化されるよう構成したので、以後の半導体装置としての回路形成プロセスを簡易化できるとともに、トランジスタを形成するのに不適ないいわゆるデッドスペースの少ない、チップ面積を小さくすることのできる半導体基板の製造方法が得られる等の効果を有する。

#### 4. 図面の簡単な説明

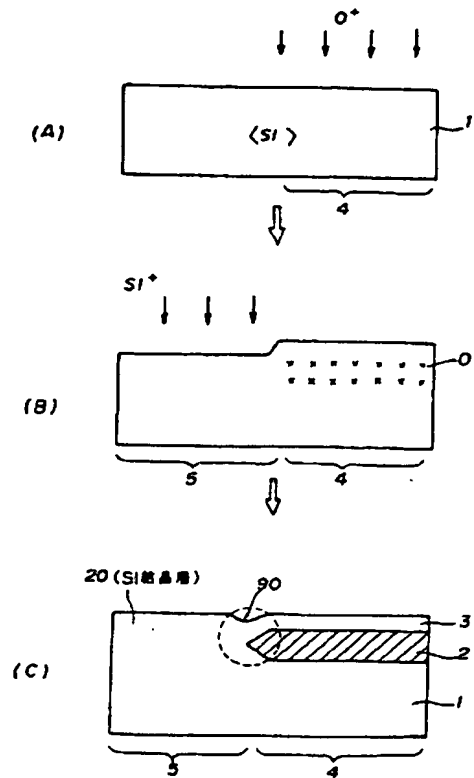
第1図は本発明の一実施例を示す工程図、第2

図はSIMOX法の説明図、第3図および第4図はSIMOX法によって半導体装置が製造される場合の説明図、第5図は従来例における半導体基板の製造方法の説明図である。

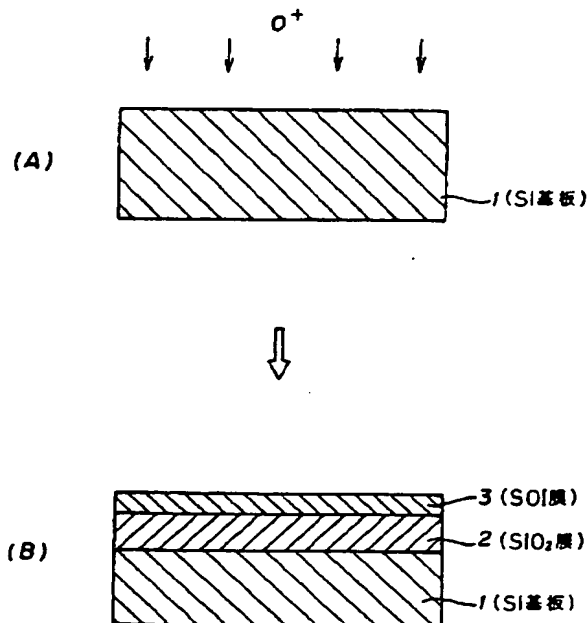
- 1…Si基板
- 2…SiO<sub>2</sub>膜
- 3…SOI膜
- 4…SOI部
- 5…バルクSi部
- 6、60…ロジック回路
- 7…入出力回路
- 9、90…段差
- 10…半導体装置
- 20…Si結晶層

特許出願人 日産自動車株式会社  
代理人 弁理士 和田 成 則

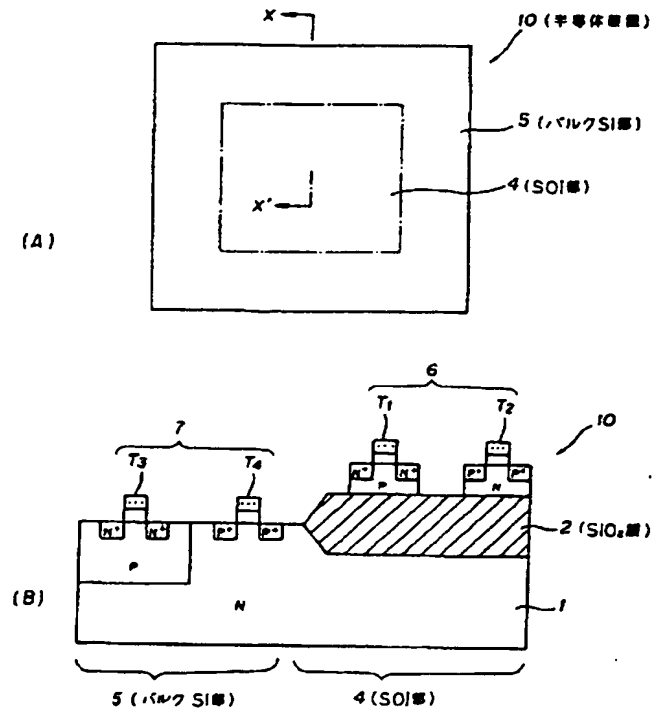
第1図



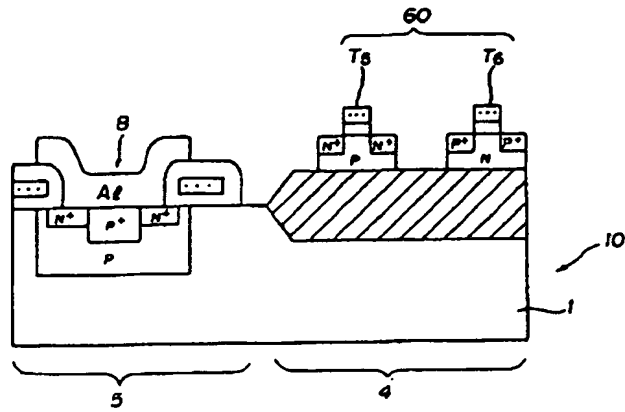
第2図



第3図



第 4 図



第 5 図

